

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-059759

(43)Date of publication of application : 28.02.2003

(51)Int.Cl. H01G 4/30

H01G 4/12

(21)Application number : 2001-247347 (71)Applicant : MURATA MFG CO LTD

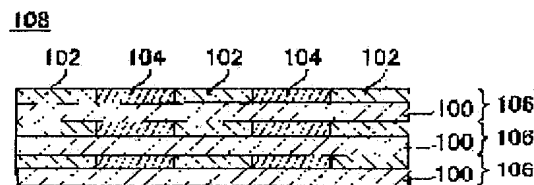
(22)Date of filing : 16.08.2001 (72)Inventor : KATO KOJI
OMORI NAGATO

(54) MULTILAYER CERAMIC ELECTRONIC COMPONENT AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method for a multilayer ceramic electronic component, which can prevent the occurrence of defects in external appearance and structure in a debinding process.

SOLUTION: A ceramic green sheet 100 is made by molding ceramic slurry. An internal electrode 102 is made on the main surface of the ceramic green sheet 100 by giving conductive paste, and a step absorbing layer 104 is made by giving ceramic paste. The mixing ratio of binder to ceramic in ceramic paste is made smaller than that of binder to ceramic in ceramic slurry so that the absorptivity of the internal electrode 102 and that of the step absorbing layer 104 in the debinding process may be roughly the same.



*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A process of preparing ceramic slurry, conductive paste, and ceramic paste, respectively, a ceramic green sheet formed by fabricating said ceramic slurry.

An internal electrode formed by giving said conductive paste selectively on the principal surface of said ceramic green sheet.

A level difference absorption layer formed by giving said ceramic paste to a field in which it is on said principal surface of said ceramic green sheet, and said internal electrode is not formed so that a level difference by thickness of said internal electrode may be made lost substantially.

So that it may be a manufacturing method of a laminated ceramic electronic component provided with the above and contraction of said internal electrode in said de binder process and said level difference absorption layer may become almost the same, The mixture ratio of a binder to ceramics in said ceramic paste was made smaller than the mixture ratio of a binder to ceramics in said ceramic slurry.

[Claim 2] A manufacturing method of the laminated ceramic electronic component according to claim 1 whose ceramic body product concentration of said ceramic paste is 1.02 to 1.30 times the ceramic body product concentration of said ceramic slurry.

[Claim 3] A manufacturing method of the laminated ceramic electronic component according to claim 1 or 2 with which the same polyacetals are used as a binder of said ceramic paste, and a binder of said ceramic slurry.

[Claim 4] A manufacturing method of the laminated ceramic electronic component

according to any one of claims 1 to 3 whose presentation of ceramics in said ceramic paste and ceramics in said ceramic slurry is equal.

[Claim 5]A laminated ceramic electronic component manufactured by claim 1 thru/or claim 4 with a manufacturing method of a laminated ceramic electronic component of a statement at either.

[Detailed Description of the Invention]

[0001]

[Field of the Invention]About a laminated ceramic electronic component and a manufacturing method for the same, especially this invention has an internal electrode between ceramic layers, for example, relates to laminated ceramic electronic components, such as a laminated ceramic capacitor, a laminated inductor, a laminated varistor, and a manufacturing method for the same.

[0002]

[Description of the Prior Art]In recent years, a miniaturization and a weight saving follow electronic equipment including mobile communications equipment, for example, a laminated ceramic electronic component is used as a circuit element. When such a laminated ceramic electronic component is a laminated ceramic capacitor, the demand of a miniaturization or slimming down, and large-scale-izing is increasing. Drawing 4 is an illustration figure showing an example of the conventional laminated ceramic capacitor used as the background of this invention. The laminated ceramic capacitor 1 shown in drawing 4 contains the capacitor element 2 of rectangular parallelepiped shape. The capacitor element 2 is arranged so that two or more internal electrodes 3 may overlap via the ceramic layer 4 which consists of dielectrics, and it is pulled out by both ends by turns. The exterior electrodes 5a and 5b are formed in the both ends of this capacitor element 2, respectively. One exterior electrodes 5a are connected to the internal electrode 3 in every other layer, and the exterior electrodes 5b of another side are connected to the remaining internal electrodes 3.

[0003]When it is going to manufacture a laminated ceramic capacitor, typically, dielectric ceramic powder, an organic binder, a plasticizer, and an organic solvent are mixed, and ceramic slurry is produced. A ceramic green sheet is produced by fabricating this ceramic slurry on base materials, such as resin, so that it may become a sheet shaped. And this ceramic green sheet is dried. Next, an internal electrode is formed by having two or more patterns which separated the interval mutually on the principal surface of the above-mentioned dry ceramic green sheet,

and screen-stencil giving conductive paste, and drying this. Next, after the ceramic green sheet 6 in which the internal electrode 7 was formed exfoliates from a base material and is cut by the suitable size, as a part is shown in drawing 5, only predetermined number of sheets is accumulated. A raw layered product is produced by accumulating only number of sheets predetermined in the ceramic green sheet which does not form the internal electrode in the upper and lower sides of this accumulated thing. After this raw layered product is pressed in a laminating direction, it is cut by the size which should serve as a layered product chip for each laminated ceramic capacitor, and ranks second, After passing through the de binder process of escaping from a binder, from a layered product chip, the baking process which calcinates a layered product chip is given, and a laminated ceramic capacitor is completed by forming exterior electrodes in a layered product chip eventually. In such a laminated ceramic capacitor, in order to satisfy the demand to the miniaturization or slimming down, and large-scale-izing, it is necessary to attain multilayering of the ceramic green sheet 6 and the internal electrode 7, and lamination of the ceramic green sheet 6. However, between the portion in which the internal electrode 7 is located the more as a result of accumulation of each thickness of the internal electrode 7 the more above multilayering and lamination progress, and the portions which are not so, Or in the difference of the thickness between the portion arranged comparatively and the portion which is not so, the internal electrode 7 becomes more remarkable in a laminating direction. [many] Therefore, for example, as shown in drawing 6, about the appearance of the obtained layered product chip 8, the modification that on the other hand the principal surface serves as convex will arise. In the portion in which the internal electrode 7 is not located if modification as shown in drawing 6 has arisen in the layered product chip 8, or the portion in which only a small number of internal electrode 7 is arranged comparatively in the laminating direction, Since a comparatively big distortion is brought about in the case of [like a press operator] and the adhesion between the ceramic green sheets 6 is inferior, it is easy to generate structure defects, such as delamination and a minute crack, by the internal stress caused at the time of calcination. Modification of the layered product chip 8 as shown in drawing 6 may cause the result made to transform the internal electrode 7 undesirably, and a short defect may produce it by this. Such inconvenience is the cause of reducing the reliability of a laminated ceramic capacitor.

[0004]In order to solve the above problems, as shown in drawing 7, for example, To the field in which the internal electrode 7 on the ceramic green sheet 6 is not formed.

Forming the level difference absorption layer 9 and making this level difference depending level difference absorption layer 9 and according to the thickness of the internal electrode 7 on the ceramic green sheet 6 lost substantially, For example, it is indicated by JP,56-94719,A, JP,3-74820,A, JP,9-106925,A, etc. As mentioned above, between the portion in which the internal electrode 7 is located when a raw layered product is produced, as by forming the level difference absorption layer 9 shows a part to drawing 7, and the portions which are not so, The difference of the thickness between the portion in which many internal electrodes 7 are arranged comparatively in the laminating direction, and the portion which is not so stops or arising substantially. Therefore, as shown in drawing 8, in the obtained layered product chip 8, it becomes difficult to produce undesirable modification as shown in drawing 6. As a result, the reliability of the laminated ceramic capacitor which could make hard to produce problems, such as structure defects, such as delamination which was mentioned above, and a minute crack, and a short defect by modification of an internal electrode, and was obtained can be improved.

[0005]

[Problem(s) to be Solved by the Invention]In the manufacturing method of the above laminated ceramic capacitors, between a ceramic green sheet and a level difference absorption layer, in order to coincide a degree of sintering as much as possible, it is a general view to attain communalization of each presentation. In JP,9-106925,A, the ceramic slurry for a ceramic green sheet, While producing by mixing dielectric ceramic powder, an organic binder, and the 1st low-boiling-point organic solvent and using this for shaping of a ceramic green sheet, After adding the 2nd organic solvent of a high boiling point and mixing from the boiling point of the 1st above-mentioned organic solvent to this ceramic slurry, producing the ceramic paste for a level difference absorption layer is indicated by heating and replacing the 1st low-boiling-point organic solvent by the 2nd organic solvent of a high boiling point. In this case, the quantity of the binder of ceramic paste becomes the same as the quantity of the binder of ceramic slurry. For this reason, the shrinkage amount at the time of the de binder of an internal electrode unformed part in which ceramic paste is applied or printed becomes large as compared with an internal electrode formation part, and causes generating of appearance structure defects, such as delamination, in a de binder process. The above problems exist also in the manufacturing method of other laminated ceramic electronic components, such as a laminated inductor and a laminated varistor.

[0006]So, the main purpose of this invention is to provide the laminated ceramic

electronic component manufactured by the manufacturing method and this manufacturing method of the laminated ceramic electronic component which can prevent generating of an appearance structure defect in a de binder process.

[0007]

[Means for Solving the Problem]A manufacturing method of a laminated ceramic electronic component concerning this invention, A process of preparing ceramic slurry, conductive paste, and ceramic paste, respectively, A ceramic green sheet formed by fabricating ceramic slurry, An internal electrode formed by giving conductive paste selectively on the principal surface of a ceramic green sheet, A process of forming a composite structure provided with a level difference absorption layer formed by giving ceramic paste to a field in which it is on the principal surface of a ceramic green sheet, and an internal electrode is not formed so that a level difference by thickness of an internal electrode may be made lost substantially, In a manufacturing method of a laminated ceramic electronic component provided with a process of forming a raw layered product by accumulating two or more composite structures, a de binder process of escaping from a raw layered product to a binder, and a process of calcinating a raw layered product, So that contraction of an internal electrode in a de binder process and a level difference absorption layer may become almost the same, It is a manufacturing method of a laminated ceramic electronic component making the mixture ratio of a binder to ceramics in ceramic paste smaller than the mixture ratio of a binder to ceramics in ceramic slurry. In this invention, the mixture ratio of a binder to ceramics in ceramic paste is made smaller than the mixture ratio of a binder to ceramics in ceramic slurry in order to prevent generating of appearance structure defects, such as delamination, in a de binder process. Thus, giving a difference to quantity of a binder of ceramic slurry and ceramic paste can realize a manufacturing process of ceramic slurry and ceramic paste easily by supposing that it is separate. It is preferred that ceramic body product concentration of ceramic paste is 1.02 to 1.30 times the ceramic body product concentration of ceramic slurry in a manufacturing method of a laminated ceramic electronic component concerning this invention. Here, ceramic body product concentration of ceramic paste means concentration of volume of ceramic powder as ceramics to volume of ceramic powder as ceramics, and a resinous principle in ceramic paste. Volume concentration of ceramics in ceramic slurry means concentration of volume of ceramic powder as ceramics to volume of ceramic powder as ceramics, and a resinous principle in ceramic slurry. Ceramic body product concentration of ceramic paste (hereafter, ceramics are used as paints and) It

expresses with pigment volume concentration "(pigment volume concentration) PVC". A thing with preferred it being 1.02 to 1.30 times the PVC of ceramic slurry, PVC of ceramic paste by less than [of PVC of a ceramic sheet] 1.02. When delamination occurs by the difference in a shrinkage amount at the time of a de binder and PVC of ceramic paste exceeds 1.30 times of PVC of a ceramic sheet, it is for internal structure defects, such as delamination and a crack, to occur by disagreement of sintering contraction timing at the time of calcination. In a manufacturing method of a laminated ceramic electronic component concerning this invention, the same polyacetals are used as a binder of ceramic paste, and a binder of ceramic slurry, for example. These polyacetals have polyvinyl alcohol, a polyvinyl butyral, etc., for example. Thus, in addition to physical adhesion depended like a press operator, by using the same polyacetals as a binder of ceramic paste, and a binder of ceramic slurry, higher layer adhesion power is obtained by adhesion by counter diffusion of binders in a raw layered product. Thereby, peeling after cutting a raw layered product for a raw layered product chip does not occur. As for ceramics [in / with a manufacturing method of a laminated ceramic electronic component concerning this invention / ceramic paste], and ceramics in ceramic slurry, it is preferred that a presentation is equal. Thus, by making equal a presentation of ceramics in ceramic paste, and ceramics in ceramic slurry, higher layer adhesion power is obtained by adhesion by counter diffusion of ceramics in a raw layered product. A laminated ceramic electronic component concerning this invention is a laminated ceramic electronic component manufactured with a manufacturing method of a laminated ceramic electronic component concerning this invention.

[0008]The above-mentioned purpose of this invention, the other purposes, the feature, and an advantage will become still clearer from detailed explanation of the following embodiments of the invention given with reference to drawings.

[0009]

[Embodiment of the Invention]Drawing 1 is an illustration figure showing an example of the laminated ceramic capacitor manufactured with the manufacturing method of the laminated ceramic capacitor concerning this invention. The laminated ceramic capacitor 10 shown in drawing 1 contains the capacitor element 12 of rectangular parallelepiped shape. The capacitor element 12 is arranged so that two or more internal electrodes 14 may overlap via the ceramic layer 16 which consists of dielectrics, and it is pulled out by both ends by turns. The exterior electrodes 18a and 18b are formed in the both ends of this capacitor element 12, respectively. One exterior electrodes 18a are connected to the internal electrode 14

in every other layer, and the exterior electrodes 18b of another side are connected to the remaining internal electrodes 14.

[0010]Next, the manufacturing method of this laminated ceramic capacitor 10 is explained.

[0011]First, the ceramic paste for obtaining the conductive paste and the level difference absorption layer for obtaining the ceramic slurry for obtaining a ceramic green sheet and an internal electrode is prepared, respectively.

[0012]In order to obtain a ceramic green sheet from above-mentioned ceramic slurry, for example, it was coated by silicone resin as a remover, etc., on a base material like polyester film, ceramic slurry is fabricated by a doctor blade method etc., and, subsequently is dried. In this case, the thickness of a ceramic green sheet shall be several micrometers, for example.

[0013]On the principal surface of a ceramic green sheet, an internal electrode is selectively formed so that it may be distributed over two or more places. An internal electrode gives conductive paste by screen-stencil etc., and is formed by drying this, for example. The internal electrode has predetermined thickness, respectively. Therefore, on a ceramic green sheet, the level difference by the thickness of an internal electrode is brought about.

[0014]Next, it is on the principal surface of a ceramic green sheet, and a level difference absorption layer is formed in the field in which the internal electrode is not formed so that the level difference by the thickness of the internal electrode mentioned above may be made lost substantially. A level difference absorption layer is formed by having a negative pattern of an internal electrode, printing or applying and giving the ceramic paste mentioned above, and, subsequently is dried.

[0015]After forming a level difference absorption layer, it may be made have formed the level difference absorption layer in above-mentioned explanation, after forming an internal electrode, but to form an internal electrode conversely.

[0016]The composite structure 106 provided with the ceramic green sheet 100, the internal electrode 102, and the level difference absorption layer 104 on a base material as mentioned above is formed. Thus, two or more composite structures 106 formed on the base material are prepared.

[0017]Next, after these composite structures 106 exfoliate from a base material, it is cut by the suitable size and only predetermined number of sheets is accumulated. By accumulating the ceramic green sheet in which the internal electrode and the level difference absorption layer are not formed in the upper and lower sides of this accumulated thing, in that part, as shown in drawing 2, the raw layered product

108 is produced.

[0018]After this raw layered product 108 is pressed in a laminating direction, it is cut by the size which should serve as the layered product chip 110 shown in drawing 3 for each laminated ceramic capacitor. Subsequently, after the layered product chip 110 passes through the de binder process of escaping from a binder, from the layered product chip 110, The baking process which calcinates the layered product chip 110 at about 1200-1300 ** is given, and a multilayer capacitor is completed by forming exterior electrodes in the layered product chip 110 eventually.

[0019](Example 1) Ceramic slurry supplied dielectric-ceramic-powder 100 weight section, polyvinyl-butyr-al-resin 13 weight section as a binder, organic solvent 70 low-boiling-point weight section, and plasticizer 3 weight section to the ball mill, performed wet blending for 20 hours, and adjusted. And to this ceramic slurry, the doctor blade method was applied and the 3-micrometer-thick ceramic green sheet 100 was fabricated on the base material. It is 80 ** and desiccation of the ceramic green sheet 100 was performed for 5 minutes. After ceramic paste mixed the dielectric-ceramic-powder 100 same weight section of a presentation as the dielectric ceramic powder used for ceramic slurry, organic binder 6 weight section, terpineol 100 weight section, and the amount part of additive agent duplexs, it was mixed well and adjusted with 3 rolls. Therefore, there is less quantity of a binder [as opposed to the ceramics of ceramic paste at Example 1] 7 weight sections than the quantity of the binder to the ceramics of ceramic slurry. Viscosity control was performed after kneading the conductive powder which consists of an alloy of Ag and Pb, an organic binder, Ag metal resinate, and an organic solvent with 3 rolls as conductive paste. On the principal surface of the ceramic green sheet 100, the internal electrode 102 is formed with the thickness which is about 1.5 micrometers. The internal electrode 102 gives conductive paste by screen-stencil etc., and is formed by drying this, for example. The internal electrode 102 has predetermined thickness, respectively. Therefore, on the ceramic green sheet 100, the level difference by the thickness of the internal electrode 102 is brought about. Next, it is on the principal surface of the ceramic green sheet 100, and the level difference absorption layer 104 is formed in the field in which the internal electrode 102 is not formed so that the level difference by the thickness of the internal electrode 102 mentioned above may be made lost substantially. The level difference absorption layer 104 is formed by having a negative pattern of the internal electrode 102, printing or applying and giving the ceramic paste mentioned above, and, subsequently is dried. The composite structure 106 in which the internal electrode

102 and the level difference absorption layer 104 were formed on the ceramic green sheet 100 on the base material as mentioned above is formed. Thus, two or more composite structures 106 formed on the base material are prepared. After these composite structures 106 exfoliate from a base material, it is cut by the suitable size and only predetermined number of sheets is accumulated. The raw layered product 108 is produced by accumulating the ceramic green sheet 100 in which the internal electrode 102 and the level difference absorption layer 104 are not formed in the upper and lower sides of the accumulated thing. After this raw layered product 108 is pressed in a laminating direction, it is cut by the size which should serve as the layered product chip 110 for each laminated ceramic capacitor.

[0020](Comparative example 1) The ceramic slurry of the comparative example 1 used the same thing as the ceramic slurry of Example 1. After the boiling point added all [TERUPI] that is 220 ** to the above-mentioned ceramic slurry as ceramic paste, it heated at 60-90 ** for 24 hours, and the low-boiling-point organic solvent was evaporated. And in order to obtain predetermined viscosity, after adjusting the content of a terpeneol, it mixed with 3 rolls and ceramic paste was obtained. That is, the quantity of the binder of a ceramic green sheet is the same as the quantity of the binder of ceramic paste. This ceramic paste was used and the raw layered product chip was obtained like Example 1.

[0021]It prepared 100 raw layered product chips of Example 1 and the comparative example 1 at a time, respectively, and the appearance structure defect after performing a de binder at 400 ** into the atmosphere for 2 hours was observed with the optical microscope. The result checked that delamination had not occurred at all in Example 1 to 33-piece delamination having occurred according to the comparative example 1.

[0022](Example 2) It compares with Example 1 in Example 2, So that ceramic body product concentration PVC (volume x100/of PVC= ceramic powder (volume of the volume + resinous principle of ceramic powder)) of ceramic paste may become a 0.96 to 1.50 times as much range as ceramic body product concentration PVC of ceramic slurry Dielectric ceramic powder, After mixing polyvinyl butyral resin, a terpeneol, and an additive agent, it mixed well with 3 rolls and desired ceramic paste was adjusted. Here, the ratio of PVC of ceramic paste and PVC of ceramic slurry is defined below as a PVC ratio.

PVC ratio = the level difference absorption layer was formed using PVC, next these ceramic paste of PVC/ceramic slurry of ceramic paste, and the same raw layered product chip as Example 1 was produced. Each 100 layered product green chips

were prepared, 400 ** and a 2-hour de binder were performed in the atmosphere, the appearance structure defect was observed with the optical microscope, after that, it calcinated at 1200-1300 ** for 4 hours, and cooled to the room temperature after that, and the appearance structure defect of the layered product chip was observed with the optical microscope. The section of the layered product chip without an appearance structure defect was ground, and the existence of the structure defect was investigated with the optical microscope. The result is shown in Table 1.

[0023]

[Table 1]

試料番号	PVC比率	脱バインダー後の外部構造欠陥	焼成後の外部構造欠陥	焼成後の内部構造欠陥
1	0.96	32/100	42/100	78/100
2	0.98	17/100	21/100	33/100
3	1.00	5/100	8/100	12/100
4	1.02	0/100	0/100	0/100
5	1.06	0/100	0/100	0/100
6	1.10	0/100	0/100	0/100
7	1.14	0/100	0/100	0/100
8	1.18	0/100	0/100	0/100
9	1.22	0/100	0/100	0/100
10	1.26	0/100	0/100	0/100
11	1.30	0/100	0/100	0/100
12	1.34	0/100	0/100	4/100
13	1.38	0/100	0/100	7/100
14	1.42	0/100	2/100	12/100
15	1.46	0/100	9/100	28/100
16	1.50	0/100	15/100	53/100

[0024]As shown in the sample numbers 1-3, in an appearance structure defect, a PVC ratio breaks out from the disagreement of the shrinkage amount at the time of a de binder to after a de binder by less than 1.02, and an after-calcination appearance structure defect and an after-calcination internal structure defect serve as a high incidence rate from the result of Table 1. If a PVC ratio exceeds 1.30 as shown in the sample numbers 12-16, Although the appearance structure defect after a de binder was not generated, it was checked that internal structure defects, such as an appearance structure defect and delamination, and a crack, occur after calcination by the disagreement of the sintering contraction timing at the time of calcination.

[0025](Example 3) Ceramic slurry supplied dielectric-ceramic-powder 100 weight

section, polyvinyl-butylal-resin 13 weight section as a binder, organic solvent 70 low-boiling-point weight section, and plasticizer 3 weight section to the ball mill, performed wet blending for 20 hours, and adjusted. And to this ceramic slurry, the doctor blade method was applied and the 3-micrometer-thick ceramic green sheet was fabricated on the base material. It is 80 ** and desiccation of the ceramic green sheet 100 was performed for 5 minutes. The dielectric-ceramic-powder 100 weight section of a presentation as the dielectric ceramic powder used for ceramic slurry with same ceramic paste, It mixed well and 3 rolls adjusted, after mixing polyvinyl-butylal-resin 8 weight section as a binder, terpineol 100 weight section, and the amount part of additive agent duplexs. Viscosity control was performed after kneading the conductive powder which consists of an alloy of Ag and Pd, an organic binder, Ag metal resinate, and an organic solvent with 3 rolls as conductive paste. On the principal surface of the ceramic green sheet 100, the internal electrode 102 is formed with the thickness which is about 1.5 micrometers. The internal electrode 102 gives conductive paste by screen-stencil etc., and is formed by drying this, for example. The internal electrode 102 has predetermined thickness, respectively. Therefore, on the ceramic green sheet 100, the level difference by the thickness of the internal electrode 102 is brought about. Next, it is on the principal surface of the ceramic green sheet 100, and the level difference absorption layer 104 is formed in the field in which the internal electrode 102 is not formed so that the level difference by the thickness of the internal electrode 102 mentioned above may be made lost substantially. The level difference absorption layer 104 is formed by having a negative pattern of the internal electrode 102, printing or applying and giving the ceramic paste mentioned above, and, subsequently is dried. The composite structure 106 in which the internal electrode 102 and the level difference absorption layer 104 were formed on the ceramic green sheet 100 on the base material as mentioned above is formed. Thus, two or more composite structures 106 formed on the base material are prepared. After these composite structures 106 exfoliate from a base material, it is cut by the suitable size and only predetermined number of sheets is accumulated. The raw layered product 108 is produced by accumulating the ceramic green sheet 100 in which the internal electrode 102 and the level difference absorption layer 104 are not formed in the upper and lower sides of the accumulated thing. After this raw layered product 108 is pressed in a laminating direction at 1000kg/cm² and 80 **, it is cut by the size which should serve as the layered product chip 110 for each laminated ceramic capacitor.

[0026](Comparative example 2) The ceramic slurry of the comparative example 2

used the same thing as the ceramic slurry of Example 3. After ceramic paste mixed dielectric-ceramic-powder 100 weight section, ethyl cellulose resin 8 weight section as a binder, terpineol 100 weight section, and the amount part of additive agent duplexs, it was mixed well and adjusted with 3 rolls. This ceramic slurry and ceramic paste were used and the raw layered product chip was obtained like Example 3.

[0027]The appearance structure defect of every 500 raw layered product chips obtained by Example 3 and the comparative example 2 was observed with the optical microscope. The result did not check the structure defect in Example 3, although 78 structure defects, such as peeling, were checked among 500 pieces in the comparative example 2.

[0028]This invention is not limited to an above-mentioned example.

[0029]For example, although the alloy of Ag and Pd is used for the metal powder of conductive paste in the above-mentioned example, in this invention, it does not restrict to it and other metal powders, such as Ag, Pd, Cu, and nickel, may be used.

[0030]Although the above-mentioned example explained taking the case of the laminated ceramic capacitor, This invention can be applied to various laminated ceramic electronic components which have the structure allocated so that two or more internal electrodes might overlap via a ceramic layer in [other than a laminated ceramic capacitor] ceramic devices, such as a laminated varistor.

[0031]

[Effect of the Invention]By making less than the quantity of the binder of ceramic slurry used for a ceramic green sheet quantity of the binder of the ceramic paste used for a level difference absorption layer according to this invention, In a de binder process, the shrinkage amount of an internal electrode formation part and an internal electrode unformed part can be doubled, and generating of the appearance structure defect after a de binder can be prevented. according to this invention, by increasing PVC of ceramic paste 1.02 to 1.30 times of PVC of ceramic slurry, the shrinkage amount at the time of a de binder and the contraction timing at the time of calcination are doubled, and generating of the appearance structure defect at the time of calcination and an internal structure defect is prevented at the time of a de binder -- things can be carried out. According to this invention, by making the binder of ceramic paste, and the binder of ceramic slurry of the same kind, layer adhesion power can be raised and structure defect generating of a raw layered product chip can be prevented. According to this invention, by making equal a presentation with the ceramics in ceramic paste, and the ceramics in ceramic

slurry, layer adhesion power can be raised and structure defect generating of a raw layered product chip can be prevented. By the above effect, the further small large scale-ization by thin-film-izing the dielectric layer of a laminated ceramic capacitor and an internal electrode is attained.

[Brief Description of the Drawings]

[Drawing 1]It is an illustration figure showing an example of the laminated ceramic capacitor manufactured with the manufacturing method of the laminated ceramic capacitor concerning this invention.

[Drawing 2]It is a sectional view solution figure showing a part of example of the raw layered product formed in the manufacturing method of the laminated ceramic capacitor concerning this invention.

[Drawing 3]It is an illustration figure showing an example of the layered product chip formed in the manufacturing method of the laminated ceramic capacitor concerning this invention.

[Drawing 4]It is an illustration figure showing an example of the conventional laminated ceramic capacitor.

[Drawing 5]It is a sectional view solution figure showing a part of example of the raw layered product formed in the manufacturing method of the conventional laminated ceramic capacitor.

[Drawing 6]It is an illustration figure showing an example of the layered product chip formed in the manufacturing method of the conventional laminated ceramic capacitor.

[Drawing 7]It is a sectional view solution figure showing a part of other examples of the raw layered product formed in the manufacturing method of the conventional laminated ceramic capacitor.

[Drawing 8]It is an illustration figure showing other examples of the layered product chip formed in the manufacturing method of the conventional laminated ceramic capacitor.

[Description of Notations]

10 Laminated ceramic capacitor

12 Ceramic device

14 Internal electrode

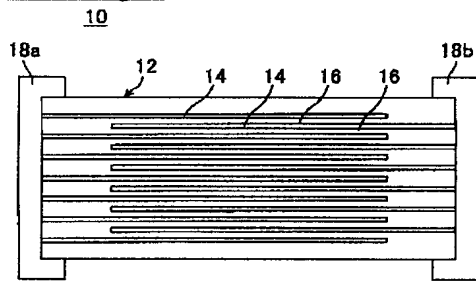
16 Ceramic layer

18a and 18b Exterior electrodes

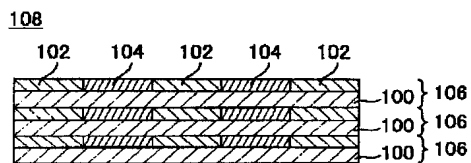
100 Ceramic green sheet

- 102 Internal electrode
- 104 Level difference absorption layer
- 106 Composite structure
- 108 A raw layered product
- 110 Layered product chip

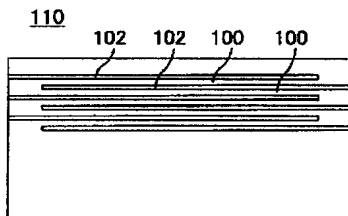
[Drawing 1]



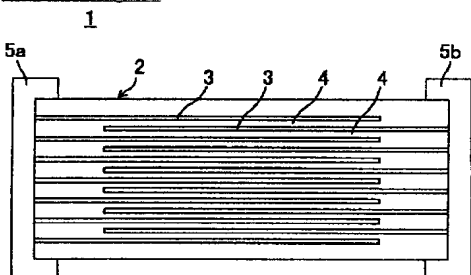
[Drawing 2]



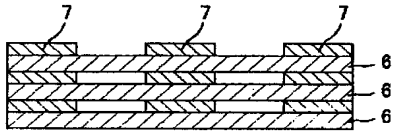
[Drawing 3]



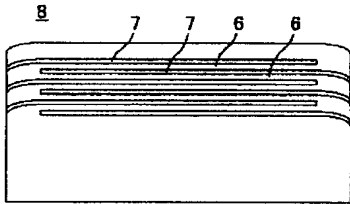
[Drawing 4]



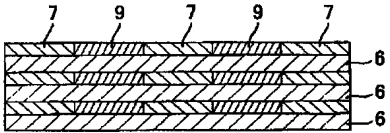
[Drawing 5]



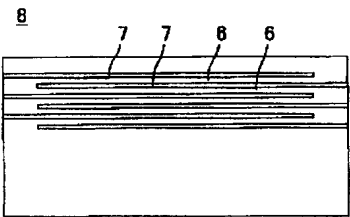
[Drawing 6]



[Drawing 7]



[Drawing 8]



(19)日本特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2003-59759
(P2003-59759A)

(43)公開日 平成15年2月28日(2003.2.28)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
H 0 1 G 4/30	3 1 1	H 0 1 G 4/30	3 1 1 F 5 E 0 0 1
4/12	3 6 4	4/12	3 6 4 5 E 0 8 2

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21)出願番号 特願2001-247347(P2001-247347)

(22)出願日 平成13年8月16日(2001.8.16)

(71)出願人 000006231

株式会社村田製作所
京都府長岡京市天神二丁目26番10号

(72)発明者 加藤 浩二

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72)発明者 大森 長門

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(74)代理人 100079577

弁理士 岡田 全啓

最終頁に続く

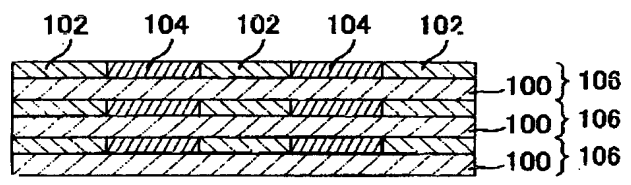
(54)【発明の名称】 積層セラミック電子部品およびその製造方法

(57)【要約】

【課題】 脱バインダ工程において外観構造欠陥の発生を防止することができる、積層セラミック電子部品の製造方法を提供する。

【解決手段】 セラミックスラリーを成形することによって、セラミックグリーンシート100が形成される。セラミックグリーンシート100の主面上には、導電性ペーストを付与することによって内部電極102が形成され、セラミックペーストを付与することによって段差吸収層104が形成される。脱バインダ工程における内部電極102および段差吸収層104の収縮率がほぼ同じになるように、セラミックペーストにおけるセラミックに対するバインダの混合比は、セラミックスラリーにおけるセラミックに対するバインダの混合比より小さくされる。

108



【特許請求の範囲】

【請求項1】 セラミックスラリー、導電性ペーストおよびセラミックペーストをそれぞれ用意する工程、

前記セラミックスラリーを成形することによって形成されたセラミックグリーンシートと、前記セラミックグリーンシートの主面上に部分的に前記導電性ペーストを付与することによって形成された内部電極と、前記内部電極の厚みによる段差を実質的になくならせるように前記セラミックグリーンシートの前記主面上であって前記内部電極が形成されない領域に前記セラミックペーストを付与することによって形成された段差吸収層とを備える複合構造物を形成する工程、

複数の前記複合構造物を積み重ねることによって、生の積層体を形成する工程、

前記生の積層体からバインダを脱する脱バインダ工程、および前記生の積層体を焼成する工程を備える、積層セラミック電子部品の製造方法において、

前記脱バインダ工程における前記内部電極および前記段差吸収層の収縮率がほぼ同じになるように、前記セラミックペーストにおけるセラミックに対するバインダの混合比を前記セラミックスラリーにおけるセラミックに対するバインダの混合比より小さくしたことを特徴とする、積層セラミック電子部品の製造方法。

【請求項2】 前記セラミックペーストのセラミック体積濃度が前記セラミックスラリーのセラミック体積濃度の1.02～1.30倍である、請求項1に記載の積層セラミック電子部品の製造方法。

【請求項3】 前記セラミックペーストのバインダおよび前記セラミックスラリーのバインダとして、同じポリアセタール類が用いられる、請求項1または請求項2に記載の積層セラミック電子部品の製造方法。

【請求項4】 前記セラミックペーストにおけるセラミックおよび前記セラミックスラリーにおけるセラミックは組成が等しい、請求項1ないし請求項3のいずれかに記載の積層セラミック電子部品の製造方法。

【請求項5】 請求項1ないし請求項4にいずれかに記載の積層セラミック電子部品の製造方法で製造された、積層セラミック電子部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は積層セラミック電子部品およびその製造方法に関し、特にセラミック層間に内部電極を有する、たとえば積層セラミックコンデンサや積層インダクタ、積層バリスタなどの積層セラミック電子部品およびその製造方法に関する。

【0002】

【従来の技術】近年、移動体通信機器をはじめとする電子機器は、小型化かつ軽量化が進み、たとえば積層セラミック電子部品が回路素子として用いられる。このような積層セラミック電子部品がたとえば積層セラミックコ

ンデンサである場合には、小型化または薄型化かつ大容量化の要求が高まっている。図4はこの発明の背景となる従来の積層セラミックコンデンサの一例を示す図解図である。図4に示す積層セラミックコンデンサ1は、直方体状のコンデンサ素子2を含む。コンデンサ素子2は、複数の内部電極3が誘電体からなるセラミック層4を介して重なり合うように配置され、かつ、交互に両端部に引き出されている。このコンデンサ素子2の両端部には、外部電極5a、5bがそれぞれ形成されている。一方の外部電極5aは1層おきの内部電極3に接続され、他方の外部電極5bは残りの内部電極3に接続される。

【0003】積層セラミックコンデンサを製造しようとする場合、典型的には、誘電体セラミック粉末、有機バインダ、可塑剤および有機溶剤を混合してセラミックスラリーが作製される。このセラミックスラリーを、樹脂等の支持体上で、シート状となるように成形することによって、セラミックグリーンシートが作製される。そして、このセラミックグリーンシートが乾燥される。次に、上述の乾燥したセラミックグリーンシートの主面上に、互いに間隔を隔てた複数のパターンをもって、導電性ペーストをスクリーン印刷によって付与し、これを乾燥することによって、内部電極が形成される。次に、内部電極7が形成されたセラミックグリーンシート6が支持体から剥離され、適当な大きさに切断された後、図5に一部を示すように、所定の枚数だけ積み重ねられる。さらに、この積み重ねられた物の上下に、内部電極を形成していないセラミックグリーンシートが所定の枚数だけ積み重ねられることによって、生の積層体が作製される。この生の積層体は、積層方向にプレスされた後、個々の積層セラミックコンデンサのための積層体チップとなるべき大きさに切断され、次いで、積層体チップからバインダを脱する脱バインダ工程を経た後、積層体チップを焼成する焼成工程に付され、最終的に積層体チップに外部電極が形成されることによって、積層セラミックコンデンサが完成される。このような積層セラミックコンデンサにおいて、その小型化または薄型化かつ大容量化に対する要求を満足させるためには、セラミックグリーンシート6および内部電極7の多層化およびセラミックグリーンシート6の薄層化を図ることが必要となってくる。しかしながら、上述のような多層化および薄層化が進めば進むほど、内部電極7の各厚みの累積の結果、内部電極7が位置する部分とそうでない部分との間、または、内部電極7が積層方向に比較的多数配列されている部分とそうでない部分との間での厚みの差がより顕著になる。そのため、たとえば、図6に示すように、得られた積層体チップ8の外観に関しては、その一方主面が凸状となるような変形が生じてしまう。積層体チップ8において、図6に示すような変形が生じていると、内部電極7が位置していない部分または比較的小数の内部電極

7しか積層方向に配列されていない部分においては、プレス工程の際に比較的大きな歪みがもたらされており、また、セラミックグリーンシート6間の密着性が劣っているため、焼成時に引き起こされる内部ストレスによって、デラミネーションや微小クラックなどの構造欠陥が発生しやすい。また、図6に示すような積層体チップ8の変形は、内部電極7を不所望に変形させる結果を招き、これによって、ショート不良が生じることがある。このような不都合は、積層セラミックコンデンサの信頼性を低下させる原因となっている。

【0004】上述のような問題を解決するためには、たとえば、図7に示すように、セラミックグリーンシート6上の内部電極7が形成されていない領域に、段差吸収層9を形成し、この段差吸収層9によって、セラミックグリーンシート6上での内部電極7の厚みによる段差を実質的になくならせることが、たとえば、特開昭56-94719号公報、特開平3-74820号公報、特開平9-106925号公報などに開示されている。上述のように、段差吸収層9を形成することによって、図7に一部を示すように、生の積層体を作製したとき、内部電極7が位置する部分とそうでない部分との間、または、内部電極7が積層方向に比較的多数配列されている部分とそうでない部分との間での厚みの差が実質的に生じなくなる。そのため、図8に示すように、得られた積層体チップ8において、図6に示すような不所望な変形が生じにくくなる。その結果、前述したようなデラミネーションや微小クラックなどの構造欠陥および内部電極の変形によるショート不良といった問題を生じにくくすることができ、得られた積層セラミックコンデンサの信頼性を高めることができる。

【0005】

【発明が解決しようとする課題】上述のような積層セラミックコンデンサの製造方法において、セラミックグリーンシートと段差吸収層との間では、焼結性をできるだけ一致させるために、各々の組成の共通化を図るということが一般的な考え方である。特開平9-106925号公報には、セラミックグリーンシートのためのセラミックスラリーを、誘電体セラミック粉末と有機バインダと低沸点の第1の有機溶剤とを混合することにより作製し、これをセラミックグリーンシートの成形のために用いるとともに、このセラミックスラリーに対して、上述の第1の有機溶剤の沸点より高沸点の第2の有機溶剤を加えて混合した後、加熱し、低沸点の第1の有機溶剤を高沸点の第2の有機溶剤に置換することにより、段差吸収層のためのセラミックペーストを作製することが開示されている。この場合、セラミックペーストのバインダの量は、セラミックスラリーのバインダの量と同じになる。このため、セラミックペーストが塗布または印刷される内部電極未形成部の脱バインダ時の収縮量が、内部電極形成部と比較して大きくなり、脱バインダ工程において

デラミネーションなどの外観構造欠陥の発生を招く。上述のような問題は、積層インダクタや積層バリスタなど他の積層セラミック電子部品の製造方法においても存在する。

【0006】それゆえに、この発明の主たる目的は、脱バインダ工程において外観構造欠陥の発生を防止することができる、積層セラミック電子部品の製造方法およびこの製造方法によって製造された積層セラミック電子部品を提供することである。

【0007】

【課題を解決するための手段】この発明にかかる積層セラミック電子部品の製造方法は、セラミックスラリー、導電性ペーストおよびセラミックペーストをそれぞれ用意する工程と、セラミックスラリーを成形することによって形成されたセラミックグリーンシートと、セラミックグリーンシートの主面上に部分的に導電性ペーストを付与することによって形成された内部電極と、内部電極の厚みによる段差を実質的になくならせるようにセラミックグリーンシートの主面上であって内部電極が形成されない領域にセラミックペーストを付与することによって形成された段差吸収層とを備える複合構造物を形成する工程と、複数の複合構造物を積み重ねることによって、生の積層体を形成する工程と、生の積層体からバインダを脱する脱バインダ工程と、生の積層体を焼成する工程とを備える、積層セラミック電子部品の製造方法において、脱バインダ工程における内部電極および段差吸収層の収縮率がほぼ同じになるように、セラミックペーストにおけるセラミックに対するバインダの混合比をセラミックスラリーにおけるセラミックに対するバインダの混合比より小さくしたことを特徴とする、積層セラミック電子部品の製造方法である。この発明において、セラミックペーストにおけるセラミックに対するバインダの混合比をセラミックスラリーにおけるセラミックに対するバインダの混合比より小さくするのは、脱バインダ工程においてデラミネーションなどの外観構造欠陥の発生を防止するためである。このようにセラミックスラリーとセラミックペーストとのバインダの量に差異を付与するのは、セラミックスラリーとセラミックペーストとの製造工程を別々とすることで容易に実現できる。この発明にかかる積層セラミック電子部品の製造方法では、セラミックペーストのセラミック体積濃度がセラミックスラリーのセラミック体積濃度の1.02~1.30倍であることが好ましい。ここで、セラミックペーストのセラミック体積濃度とは、セラミックペーストにおいて、たとえば、セラミックとしてのセラミック粉体と樹脂成分との体積に対するセラミックとしてのセラミック粉体の体積の濃度を意味する。また、セラミックスラリーにおけるセラミックの体積濃度とは、セラミックスラリーにおいて、たとえば、セラミックとしてのセラミック粉体と樹脂成分との体積に対するセラミックとしてのセラミック粉体の体積

の濃度を意味する。セラミックペーストのセラミック体積濃度（以下、セラミックを顔料として、pigment volume concentration（顔料体積濃度）「PVC」で表す。）がセラミックスラリのPVCの1.02～1.30倍であることが好ましいのは、セラミックペーストのPVCがセラミックシートのPVCの1.02未満では、脱バインダ時の収縮量の違いによりデラミネーションが発生し、セラミックペーストのPVCがセラミックシートのPVCの1.30倍を超えると、焼成時の焼結収縮タイミングの不一致によりデラミネーション、クラックなどの内部構造欠陥が発生するためである。また、この発明にかかる積層セラミック電子部品の製造方法では、セラミックペーストのバインダおよびセラミックスラリのバインダとして、たとえば、同じポリアセタール類が用いられる。このポリアセタール類には、たとえば、ポリビニルアルコールやポリビニルブチラールなどがある。このようにセラミックペーストのバインダおよびセラミックスラリのバインダに同じポリアセタール類を用いることにより、生の積層体において、たとえばプレス工程による物理的接着に加えて、バインダ同士の相互拡散による接着により、より高い層間密着力が得られる。これにより、生の積層体を生の積層体チップに切断した後ののがれが発生しない。さらに、この発明にかかる積層セラミック電子部品の製造方法では、セラミックペーストにおけるセラミックおよびセラミックスラリーにおけるセラミックは組成が等しいことが好ましい。このようにセラミックペーストにおけるセラミックおよびセラミックスラリーにおけるセラミックの組成を等しくすることによって、生の積層体において、セラミック同士の相互拡散による接着により、より高い層間密着力が得られる。この発明にかかる積層セラミック電子部品は、この発明にかかる積層セラミック電子部品の製造方法で製造された、積層セラミック電子部品である。

【0008】この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の発明の実施の形態の詳細な説明から一層明らかとなろう。

【0009】

【発明の実施の形態】図1はこの発明にかかる積層セラミックコンデンサの製造方法で製造される積層セラミックコンデンサの一例を示す図解図である。図1に示す積層セラミックコンデンサ10は、直方体状のコンデンサ素子12を含む。コンデンサ素子12は、複数の内部電極14が誘電体からなるセラミック層16を介して重なり合うように配置され、かつ、交互に両端部に引き出されている。このコンデンサ素子12の両端部には、外部電極18a、18bがそれぞれ形成されている。一方の外部電極18aは1層おきの内部電極14に接続され、他方の外部電極18bは残りの内部電極14に接続される。

【0010】次に、この積層セラミックコンデンサ10

の製造方法について説明する。

【0011】まず、セラミックグリーンシートを得るためのセラミックスラリー、内部電極を得るための導電性ペーストおよび段差吸収層を得るためのセラミックペーストが、それぞれ用意される。

【0012】上述のセラミックスラリーからセラミックグリーンシートを得るためには、剥離剤としてのシリコン樹脂などによってコーティングされたたとえばポリエステルフィルムのような支持体上で、セラミックスラリーがドクターブレード法などによって成形され、次いで乾燥される。この場合、セラミックグリーンシートの厚みは、たとえば数 μm とされる。

【0013】セラミックグリーンシートの主面上には、複数箇所に分布するように部分的に、内部電極が形成される。内部電極は、たとえば、スクリーン印刷などによって導電性ペーストを付与し、これを乾燥することによって形成される。内部電極は、それぞれ、所定の厚みを有している。したがって、セラミックグリーンシート上には、内部電極の厚みによる段差がもたらされる。

【0014】次に、上述した内部電極の厚みによる段差を実質的になくならせるように、セラミックグリーンシートの主面上であって、内部電極が形成されていない領域に、段差吸収層が形成される。段差吸収層は、内部電極のネガティブパターンをもって、前述したセラミックペーストを印刷または塗布して付与することにより形成され、次いで乾燥される。

【0015】なお、上述の説明では、内部電極を形成した後に段差吸収層を形成したが、逆に、段差吸収層を形成した後に内部電極を形成するようにしてもよい。

【0016】上述のようにして、支持体上に、セラミックグリーンシート100と内部電極102と段差吸収層104とを備える複合構造物106が形成される。このように支持体上に形成された複合構造物106が、複数用意される。

【0017】次に、これらの複合構造物106が支持体から剥離された後、適当な大きさに切断され、所定の枚数だけ積み重ねられる。さらに、この積み重ねられた物の上下に、内部電極および段差吸収層が形成されていないセラミックグリーンシートを積み重ねることによって、その一部を図2に示すように、生の積層体108が作製される。

【0018】この生の積層体108は、積層方向にプレスされた後、個々の積層セラミックコンデンサのための図3に示す積層体チップ110となるべき大きさに切断される。次いで、積層体チップ110は、積層体チップ110からバインダを脱する脱バインダ工程を経た後、積層体チップ110をたとえば1200～1300℃程度で焼成する焼成工程に付され、最終的に積層体チップ110に外部電極が形成されることによって、積層コンデンサが完成される。

【0019】(実施例1)セラミックスラリーは、誘電体セラミック粉末100重量部、バインダとしてのポリビニルブチラル樹脂13重量部、低沸点の有機溶剤70重量部および可塑剤3重量部をボールミルに投入し、20時間湿式混合を行って調整した。そして、このセラミックスラリーに対して、ドクターブレード法を適用して、厚さ3 μ mのセラミックグリーンシート100を支持体上に成形した。セラミックグリーンシート100の乾燥は、80℃で、5分間行った。また、セラミックペーストは、セラミックスラリーに用いられる誘電体セラミック粉末と同じ組成の誘電体セラミック粉末100重量部、有機バインダ6重量部、テルビネオール100重量部および添加剤2重量部を混合した後、3本ロールでよく混ぜて調整した。したがって、実施例1では、セラミックペーストのセラミックに対するバインダの量は、セラミックスラリーのセラミックに対するバインダの量より7重量部少ない。導電性ペーストとしては、AgおよびPbの合金からなる導電性粉末と、有機バインダと、Ag金属レジネートと、有機溶剤とを3本ロールで混練した後、粘度調整を行った。セラミックグリーンシート100の主面上には、内部電極102がたとえば約1.5 μ mの厚みをもって形成される。内部電極102は、たとえば、スクリーン印刷などによって導電性ペーストを付与し、これを乾燥することによって形成される。内部電極102は、それぞれ、所定の厚みを有している。したがって、セラミックグリーンシート100上には、内部電極102の厚みによる段差がもたらされる。次に、上述した内部電極102の厚みによる段差を実質的になくならせるように、セラミックグリーンシート100の主面上であって、内部電極102が形成されていない領域に、段差吸収層104が形成される。段差吸収層104は、内部電極102のネガティブパターンをもって、前述したセラミックペーストを印刷または塗布して付与することにより形成され、次いで乾燥される。上述のようにして、支持体上に、セラミックグリーンシート100上に内部電極102および段差吸収層104が形成された複合構造物106が、形成される。このように支持体上に形成された複合構造物106が、複数用意される。これら複合構造物106は、支持体から剥離された後、適当な大きさに切断され、所定の枚数だけ積み重ねられる。さらに、その積み重ねられた物の上下に、内部電極102および段差吸収層104が形成されていないセラミックグリーンシート100を積み重ねることによって、生の積層体108が作製される。この生の積層体108は、積層方向にプレスされた後、個々の積層セラミ

ックコンデンサのための積層体チップ110となるべき大きさに切断される。

【0020】(比較例1)比較例1のセラミックスラリーは、実施例1のセラミックスラリーと同一のものを使用した。また、セラミックペーストとしては、上記のセラミックスラリーに沸点が220℃のテルピオールを添加した後、60～90℃で24時間加熱して低沸点の有機溶剤を蒸発させた。そして、所定の粘性を得るためにテルピネオールの含有量を調整した後、3本ロールで混ぜてセラミックペーストを得た。すなわち、セラミックペーストのバインダの量とセラミックグリーンシートのバインダの量とは、同じである。このセラミックペーストを使用して、実施例1と同様にして、生の積層体チップを得た。

【0021】実施例1と比較例1との生の積層体チップをそれぞれ100個ずつ用意し、大気中において400℃で2時間脱バインダを行なった後の外観構造欠陥を、光学顕微鏡で観察した。その結果、比較例1では33個デラミネーションが発生しているのに対して、実施例1ではデラミネーションが全く発生していないことが確認された。

【0022】(実施例2)実施例2では、実施例1と比べて、セラミックペーストのセラミック体積濃度PVC(PVC=セラミック粉末の体積 \times 100/(セラミック粉末の体積+樹脂成分の体積))がセラミックスラリーのセラミック体積濃度PVCの0.96～1.50倍の範囲になるように、誘電体セラミック粉末、ポリビニルブチラル樹脂、テルビネオールおよび添加剤を混合した後、3本ロールにてよく混ぜ、所望のセラミックペーストを調整した。ここで、セラミックペーストのPVCとセラミックスラリーのPVCとの比を、PVC比率として以下に定義する。

$$PVC \text{ 比率} = \text{セラミックペーストのPVC} / \text{セラミックスラリーのPVC}$$

次に、これらのセラミックペーストを用いて段差吸収層を形成し、実施例1と同様な生の積層体チップを作製した。各積層体生チップを100個用意し、大気中で400℃、2時間脱バインダを行い、外観構造欠陥を光学顕微鏡で観察し、その後、1200～1300℃で4時間焼成し、その後、室温まで冷却し、積層体チップの外観構造欠陥を光学顕微鏡で観察した。また、外観構造欠陥のない積層体チップの断面を研磨して光学顕微鏡で構造欠陥の有無を調査した。その結果を表1に示す。

【0023】

【表1】

試料番号	PVC比率	脱バインダー後の外部構造欠陥	焼成後の外部構造欠陥	焼成後の内部構造欠陥
1	0.96	32/100	42/100	78/100
2	0.98	17/100	21/100	33/100
3	1.00	5/100	8/100	12/100
4	1.02	0/100	0/100	0/100
5	1.06	0/100	0/100	0/100
6	1.10	0/100	0/100	0/100
7	1.14	0/100	0/100	0/100
8	1.18	0/100	0/100	0/100
9	1.22	0/100	0/100	0/100
10	1.26	0/100	0/100	0/100
11	1.30	0/100	0/100	0/100
12	1.34	0/100	0/100	4/100
13	1.38	0/100	0/100	1/100
14	1.42	0/100	2/100	12/100
15	1.46	0/100	9/100	28/100
16	1.50	0/100	15/100	53/100

【0024】表1の結果から、試料番号1～3に示すようにPVC比率が1.02未満では脱バインダ時の収縮量の不一致から脱バインダ後に外観構造欠陥が発生し、焼成後外観構造欠陥、焼成後内部構造欠陥とも高い発生率となる。また、試料番号12～16に示すように、PVC比率が1.30を超えると、脱バインダ後の外観構造欠陥は発生しないものの、焼成時の焼結収縮タイミングの不一致により焼成後に外観構造欠陥およびデラミネーション、クラックなどの内部構造欠陥が発生することが確認された。

【0025】(実施例3)セラミックスラリーは、誘電体セラミック粉末100重量部、バインダとしてのポリビニルブチラル樹脂13重量部、低沸点の有機溶剤70重量部および可塑剤3重量部をボールミルに投入し、20時間湿式混合を行って調整した。そして、このセラミックスラリーに対して、ドクターブレード法を適用して、厚さ3μmのセラミックグリーンシートを支持体上に成形した。セラミックグリーンシート100の乾燥は、80℃で、5分間行った。また、セラミックペーストは、セラミックスラリーに用いられる誘電体セラミック粉末と同じ組成の誘電体セラミック粉末100重量部、バインダとしてのポリビニルブチラル樹脂8重量部、テルピネオール100重量部および添加剤2重量部を混合した後、3本ロールにてよく混ぜて調整した。導電性ペーストとしては、AgおよびPdの合金からなる導電性粉末と、有機バインダと、Ag金属レジネートと、有機溶剤とを3本ロールで混練した後、粘度調整を行った。セラミックグリーンシート100の主面上には、内部電極102がたとえば約1.5μmの厚みをもって形成される。内部電極102は、たとえば、スクリーン印刷などによって導電性ペーストを付与し、これを乾燥することによって形成される。内部電極102は、それぞれ、所定の厚みを有している。したがって、セラミックグリー

ンシート100上には、内部電極102の厚みによる段差がもたらされる。次に、上述した内部電極102の厚みによる段差を実質的になくならせるように、セラミックグリーンシート100の主面上であって、内部電極102が形成されていない領域に、段差吸収層104が形成される。段差吸収層104は、内部電極102のネガティブパターンをもって、前述したセラミックペーストを印刷または塗布して付与することにより形成され、次いで乾燥される。上述のようにして、支持体上に、セラミックグリーンシート100上に内部電極102および段差吸収層104が形成された複合構造物106が、形成される。このように支持体上に形成された複合構造物106が、複数用意される。これら複合構造物106は、支持体から剥離された後、適当な大きさに切断され、所定の枚数だけ積み重ねられる。さらに、その積み重ねられた物の上下に、内部電極102および段差吸収層104が形成されていないセラミックグリーンシート100を積み重ねることによって、生の積層体108が作製される。この生の積層体108は、積層方向に1000kg/cm²、80℃でプレスされた後、個々の積層セラミックコンデンサのための積層体チップ110となるべき大きさに切断される。

【0026】(比較例2)比較例2のセラミックスラリーは、実施例3のセラミックスラリーと同一のものを使用した。また、セラミックペーストは、誘電体セラミック粉末100重量部、バインダとしてのエチルセルロース樹脂8重量部、テルピネオール100重量部、添加剤2重量部を混合した後、3本ロールにてよく混ぜて調整した。このセラミックスラリーとセラミックペーストを使用して、実施例3と同様にして、生の積層体チップを得た。

【0027】実施例3と比較例2とで得られた生の積層体チップ500個ずつの外観構造欠陥を光学顕微鏡で観

察した。その結果、比較例2でははがれなどの構造欠陥が500個中78個確認されたが、実施例3では構造欠陥は確認されなかった。

【0028】なお、この発明は、上述の実施例に限定されるものではない。

【0029】たとえば、上述の実施例では導電性ペーストの金属粉にAgおよびPdの合金が用いられているが、この発明では、それに限るものではなく、Ag、Pd、Cu、Niなどの他の金属粉が用いられてもよい。

【0030】また、上述の実施例では積層セラミックコンデンサを例にとって説明したが、この発明は、積層セラミックコンデンサの他に、積層バリスタなど、セラミック素子中に複数の内部電極がセラミック層を介して重なり合うように配設された構造を有する種々の積層セラミック電子部品に適用することが可能である。

【0031】

【発明の効果】この発明によれば、段差吸収層に用いるセラミックペーストのバインダの量をセラミックグリーンシートに用いるセラミックスラリのバインダの量より少なくすることによって、脱バインダ工程において内部電極形成部と内部電極未形成部との収縮量を合わせ、脱バインダ後の外観構造欠陥の発生を防止することができる。また、この発明によれば、セラミックペーストのPVCをセラミックスラリのPVCの1.02～1.30倍にすることによって、脱バインダ時の収縮量、焼成時の収縮タイミングを合わせ、脱バインダ時、焼成時の外観構造欠陥、内部構造欠陥の発生を防止することができる。さらに、この発明によれば、セラミックペーストのバインダとセラミックスラリのバインダとを同種とすることによって、層間密着力を向上させ、生の積層体チップの構造欠陥発生を防止することができる。また、この発明によれば、セラミックペーストにおけるセラミックとセラミックスラリーにおけるセラミックとの組成を等しくすることによって、層間密着力を向上させ、生の積層体チップの構造欠陥発生を防止することができる。以上の効果により、積層セラミックコンデンサの誘電体層、内部電極を薄膜化することによるさらなる小型大容量化

が可能となる。

【図面の簡単な説明】

【図1】この発明にかかる積層セラミックコンデンサの製造方法で製造される積層セラミックコンデンサの一例を示す図解図である。

【図2】この発明にかかる積層セラミックコンデンサの製造方法において形成される生の積層体の一例の一部を示す断面図解図である。

【図3】この発明にかかる積層セラミックコンデンサの製造方法において形成される積層体チップの一例を示す図解図である。

【図4】従来の積層セラミックコンデンサの一例を示す図解図である。

【図5】従来の積層セラミックコンデンサの製造方法において形成される生の積層体の一例の一部を示す断面図解図である。

【図6】従来の積層セラミックコンデンサの製造方法において形成される積層体チップの一例を示す図解図である。

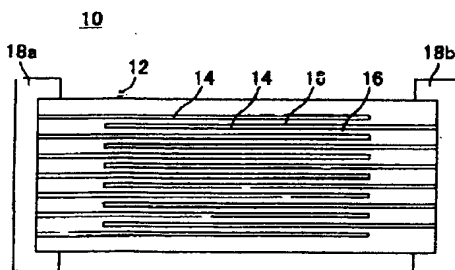
【図7】従来の積層セラミックコンデンサの製造方法において形成される生の積層体の他の例の一部を示す断面図解図である。

【図8】従来の積層セラミックコンデンサの製造方法において形成される積層体チップの他の例を示す図解図である。

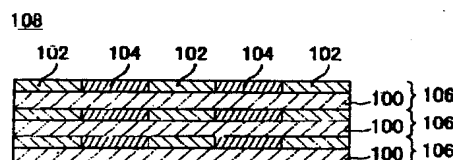
【符号の説明】

- 10 積層セラミックコンデンサ
- 12 セラミック素子
- 14 内部電極
- 16 セラミック層
- 18a、18b 外部電極
- 100 セラミックグリーンシート
- 102 内部電極
- 104 段差吸収層
- 106 複合構造物
- 108 生の積層体
- 110 積層体チップ

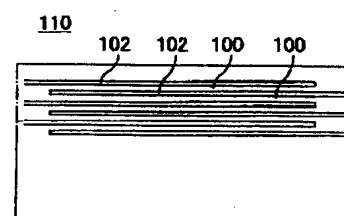
【図1】



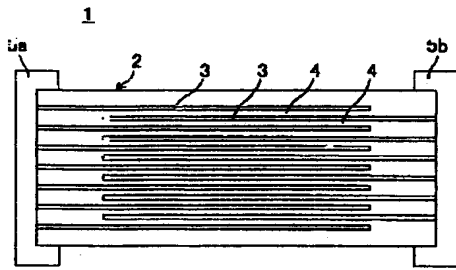
【図2】



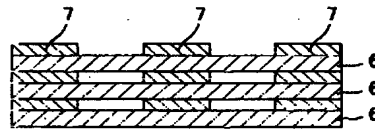
【図3】



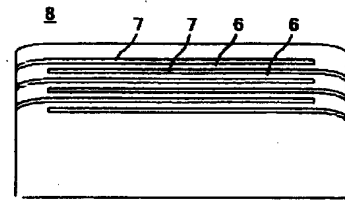
【図4】



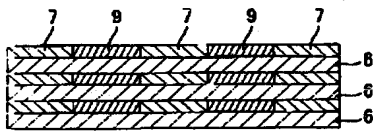
【図5】



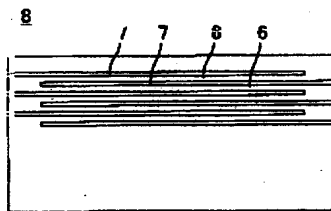
【図6】



【図7】



【図8】



フロントページの続き

Fターム(参考) 5E001 AB03 AD02 AH01 AH09 AJ01
AJ02
5E082 AB03 BC38 EE04 EE35 FG06
FG26 FG54 LL01 LL02 MM24
PP10